

TEOS-SiO₂膜の電氣的, 物理的相補解析 ～水銀プローブ, RBS, XPS, FT-IR～

化学気相蒸着(CVD)で成膜するSiO₂膜は、低温でかつSi以外の基板にも成膜できる特徴があるため、様々な半導体デバイスの絶縁膜または誘電膜として用いられている。以下で、CVDで成膜したSiO₂膜の評価事例を紹介する。電気特性と物理分析の相補解析によりSiO₂膜質を理解することで、SiO₂膜成膜プロセスの評価が可能であり、プロセス最適化の指針を得ることができる。

1. 評価サンプル: TEOS-SiO₂膜

SiO₂膜作製方法

TEOSを原料として、Si基板上に2種類のCVDプロセスでSiO₂膜を成膜。

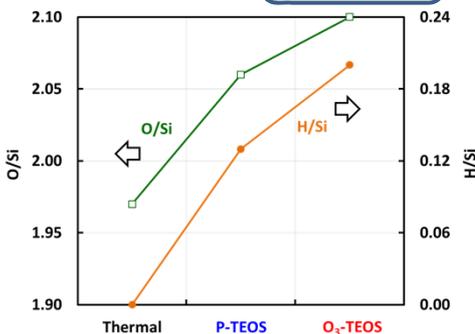
- 原料: TEOS (Tetraethoxysilane)

$$\begin{array}{c} \text{TEOS} \\ \text{O}-\text{CH}_2\text{CH}_3 \\ | \\ \text{CH}_3\text{CH}_2-\text{O}-\text{Si}-\text{O}-\text{CH}_2\text{CH}_3 \\ | \\ \text{O}-\text{CH}_2\text{CH}_3 \end{array}$$
- CVDプロセス
 - ・プラズマ酸化(以降、P-TEOS)
 - ・オゾン酸化(以降、O₃-TEOS)
- SiO₂膜厚: 約50 nm
- 成膜後アニール: 600 °C in N₂
- 比較のため、熱酸化SiO₂膜(以降、Thermal)も併せて評価。

3. 物理分析: RBS, XPS, FT-IR

RBS分析結果

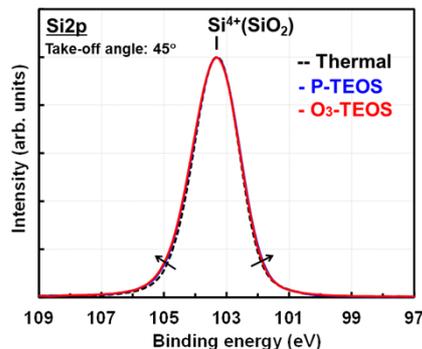
確度の高い組成分析



- 3試料ともO/Siは2に近いのでSiO₂が主成分。TEOS膜はH検出。
- O/Si比, H/Si比
O₃-TEOS > P-TEOS > Thermal
⇒ 余剰O, Hが電気特性劣化を導く。

XPS分析結果

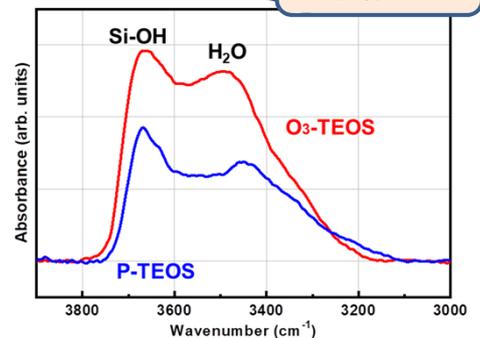
結合状態, 価数解析



- 3試料ともSi⁴⁺(SiO₂)が主成分。
- TEOS膜のSi2pピーク幅はThermalよりわずかに大きい。⇒ SiO₂ネットワークの秩序性が低い*。
* 構造がランダムなほどピーク幅は大きい。

FT-IR分析結果

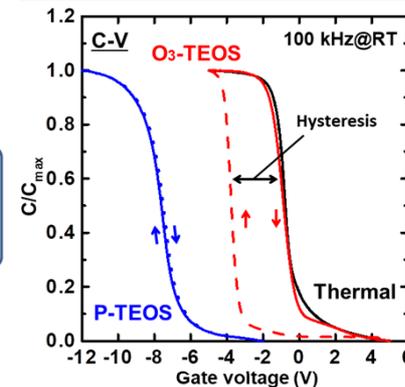
水酸基, 結合状態解析



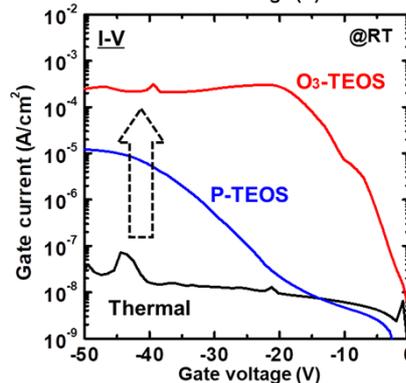
- Si-OH基, H₂O濃度: O₃-TEOS > P-TEOS

Si-OH基, H₂Oが可動電荷の増加およびリークパス増加を招く電気特性劣化要因と推定!

2. 電気特性評価: 水銀プローブ



- P-TEOS: 負方向のシフト。(フラットバンド電圧のシフト) ⇒ 正の固定電荷が多く存在。
- O₃-TEOS: ヒステリシス増大。⇒ 可動電荷が多く存在。
- Thermalと比べて、P-TEOS, O₃-TEOSそれぞれ特有の劣化挙動を示した。



- O₃-TEOS: 低電圧領域でリーク電流増大。⇒ 多量の電流パスの存在。
- 高電圧領域のリーク電流値 O₃-TEOS > P-TEOS > Thermal

成膜方法に依存した電気特性の顕著な変化を確認。→ 水銀プローブにより、電極形成無しで性能評価スクリーニングが可能!

- ・電氣的, 物理的相補解析によりデバイス製造プロセスの最適化を支援します!
- ・上記手法以外にも様々な分析手法を組み合わせた総合解析が可能(ex. SIMS, ESR, XRR etc.)。